

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-110789

(43)Date of publication of application : 12.04.2002

(51)Int.Cl.

H01L 21/768
H01L 21/316
H01L 21/3205

(21)Application number : 2000-295237

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.09.2000

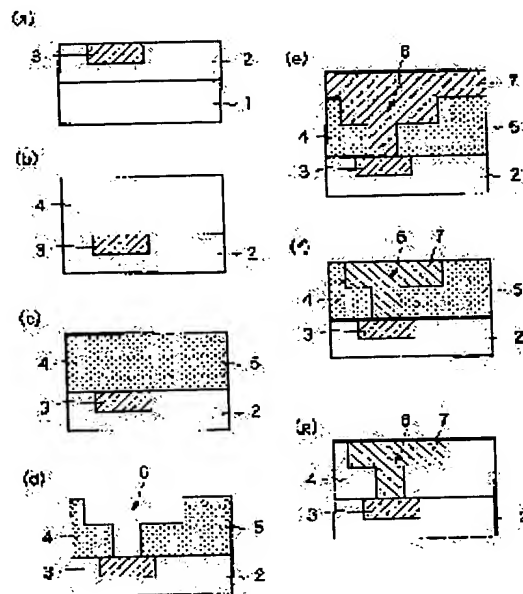
(72)Inventor : MIYAJIMA HIDESHI
YAMADA NOBUHIDE
HAYASAKA NOBUO
KURASHIMA NOBUYUKI

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent progress of cracks in a film of low dielectric constant insulation, due to water at a low cost.

SOLUTION: The low dielectric constant insulation film 4 is prevented from absorption of water causing progress of cracks, by causing a surface active agent 5 to penetrate into the low dielectric constant insulation film 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-110789

(P 2 0 0 2 - 1 1 0 7 8 9 A)

(43) 公開日 平成14年 4 月12日 (2002. 4. 12)

(51) Int. Cl. ⁷

識別記号

F I

テーマコード* (参考)

H01L 21/768

H01L 21/316

P 5F033

21/316

21/90

K 5F058

21/3205

21/88

K

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願2000-295237 (P 2000-295237)

(22) 出願日 平成12年 9 月27日 (2000. 9. 27)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目 1 番 1 号

(72) 発明者 宮島 秀史

神奈川県横浜市磯子区新杉田町 8 番地 株

式会社東芝横浜事業所内

(72) 発明者 山田 展英

神奈川県横浜市磯子区新杉田町 8 番地 株

式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外 6 名)

最終頁に続く

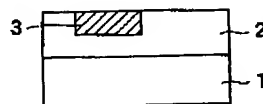
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

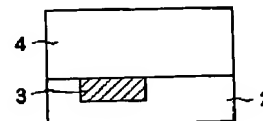
【課題】 水による低誘電率絶縁膜のクラックの進行を安価に抑制すること。

【解決手段】 低誘電率絶縁膜 4 中に界面活性剤 5 を浸透させることによって、クラックの進行の原因となる低誘電率絶縁膜 4 の水の吸収を防止する。

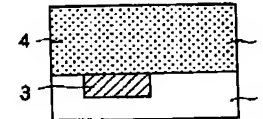
(a)



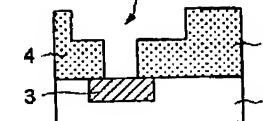
(b)



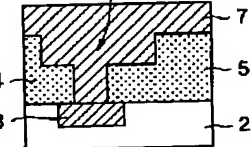
(c)



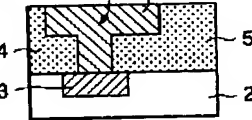
(d)



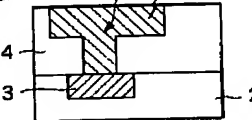
(e)



(f)



(g)



【特許請求の範囲】

【請求項1】半導体基板上にシロキサン結合を主骨格として有する低誘電率絶縁膜を形成する工程と、前記低誘電率絶縁膜中に界面活性剤を浸透させる工程と、前記界面活性剤が浸透された前記低誘電率絶縁膜が水に晒され得る状態で、所定の工程を行う工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】前記所定の工程は、半導体装置の製造工程、製造途中の半導体装置の移送工程または製造途中の半導体装置の保管工程であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】半導体基板上にシロキサン結合を主骨格として有する低誘電率絶縁膜を形成する工程と、前記低誘電率絶縁膜上に被研磨膜を形成する工程と、前記被研磨膜をCMP法により研磨する工程とを有し、前記被研磨膜をCMP法により研磨する工程において、前記低誘電率絶縁膜も研磨して少なくともその一部を露出させ、前記低誘電率絶縁膜中に界面活性剤を浸透させることで、前記低誘電率絶縁膜の吸湿性を低くすること

を特徴とする半導体装置の製造方法。

【請求項4】前記被研磨膜をCMP法により研磨するときに使用するスラリー中に、前記界面活性剤を含ませておくことを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】前記低誘電率絶縁膜を塗布法またはCVD法により形成することを特徴とする請求項1ないし4のいずれか1項に記載の半導体装置の製造方法。

【請求項6】前記低誘電率絶縁膜は、多孔質構造を有する SiO_2 を主成分とする絶縁膜であることを特徴とする請求項1ないし4のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、低誘電率絶縁膜を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置の微細化・高速化に伴い、配線構造は単層構造から多層化が進み、5層以上の金属配線構造を有する半導体装置も開発生産されている。しかし、微細化・高速化・多層化が進むにつれて、いわゆる配線間寄生容量と配線抵抗による信号伝達遅延が問題となっている。信号伝達遅延は、一般に、配線間寄生容量と配線抵抗の積(CR時定数)で示すことができる。

【0003】信号伝達遅延の回避策として様々な方法が取られている。例えば、配線抵抗の低減に対しては、従来のAl配線から抵抗の低いCu配線への移行が検討されている。Cu膜を従来と同様にドライエッチングして配線形状に加工することは現状の技術では極めて困難なために、Cu配線の場合には埋め込み配線構造(ダマシ

ン構造)をとる。

【0004】一方、配線間寄生容量を低減するために、従来の酸化珪素(SiO_2)を用いたCVD法による絶縁膜に代わり、CVD法による SiOF 膜、スピコート法によるいわゆるSOG(Spin On Glass)膜や有機樹脂(ポリマー)膜等の低誘電率層間膜の適用が検討されている。

【0005】一般的に SiOF 膜は比誘電率を3.3程度まで低減させることが可能であるとされるが、それ以下に下げることが、膜の安定性の面から実用は極めて困難とさせる。なお、従来から用いられている SiO_2 膜の比誘電率は3.9である。

【0006】それに対して塗布法による低誘電率絶縁膜は、比誘電率を2.0程度まで下げることが可能とされているために、現在盛んに検討が進められている。一般的に塗布膜の形成方法は、

(1)半導体基板上に薄膜材料(ワニス)を滴下し、回転させることにより表面に均一にコーティングする。

【0007】(2)ホットプレート上にて段階的に加熱する(例えば、100℃で1分、さらに200℃で1分間)。

【0008】(3)電気炉にて焼成する(例えば、420℃で60分間)。

【0009】という、ほぼ3段階の工程を有する。

【0010】ただし、低誘電率絶縁膜は、膜密度が低いことに伴い機械強度が従来の SiO_2 膜と比較して低下していることに起因し、クラック耐性が低い。そのために、一般にシロキサン(Si-O)結合を主骨格とする低誘電率絶縁膜では、膜厚にして1 μm 程度以上の厚膜を形成すると、自分自身のストレスに耐えきれずに膜にクラックと呼ばれる亀裂が生じてしまうという問題がある。

【0011】上記クラックの進行は、水により加速されていることが分かっている。しかしながら、低誘電率絶縁膜形成後のすべての環境において水分量を低く抑えるための管理を安価に行うことは非常に困難であるという問題があった。

【0012】

【発明が解決しようとする課題】上述の如く、低誘電率絶縁膜はもともと機械的強度が弱く、厚く形成するとクラックが発生し易い。このクラックの進行は水により加速される。しかし、低誘電率絶縁膜形成後のすべての環境における水分量を低く抑えるための管理を安価に行うことは非常に困難であるという問題があった。

【0013】本発明は、上記事情を考慮してなされたもので、その目的とするところは、水による低誘電率絶縁膜のクラックの進行を安価に抑制できる半導体装置の製造方法を提供することにある。

【0014】

【課題を解決するための手段】本願において開示される

発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。すなわち、上記目的を達成するために、本発明に係る半導体装置の製造方法は、半導体基板上にシロキサン結合を主骨格として有する低誘電率絶縁膜を形成する工程と、前記低誘電率絶縁膜中に界面活性剤を浸透させる工程と、前記界面活性剤が浸透された前記低誘電率絶縁膜が水に晒され得る状態で、所定の工程を行う工程とを有することを特徴とする。

【0015】このような構成であれば、低誘電率絶縁膜中に浸透した界面活性剤が水の吸収を防いでくれる。界面活性剤にかかるコストは、従来の水分量を低く抑えるための管理にかかるコストよりも十分に安い。したがって、本発明によれば、水による低誘電率絶縁膜のクラックの進行を安価に抑制できるようになる。

【0016】なお、本発明においては、水とは、スラリー等の溶液中の水のような液相の水（有限の体積を有する水）、および空気中の水のような気相の水を含む。

【0017】本発明の上記ならびにその他の目的と新規な特徴は、本明細書の記載および添付図面によって明らかになるであろう。

【0018】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0019】（第1の実施形態）図1は、本発明の第1の実施形態に係る多層配線構造の製造方法を示す工程断面図である。なお、ここでは説明を簡単にするために、2層の多層配線構造の場合について説明するが、実プロセスでは5層、6層の多層配線構造となる。

【0020】図1（a）は第1層目の配線層を示している。図中、1はMOSトランジスタ等の素子（不図示）が集積形成されたシリコン基板、2は第1層目の層間絶縁膜、3は層間絶縁膜2内に埋め込み形成された第1層目の金属配線を示している。

【0021】第1層目の金属配線3は、例えば後述するデュアルダマシンプロセスにより形成したCu配線である。Cu配線の場合、図には示していないがバリアメタル膜を形成する必要がある。金属配線3は、Al配線でも良い。Al配線は例えばいわゆる2ステップリフローにより形成する。この場合、図には示していないがライナー膜を形成する必要がある。さらに、金属配線3はいわゆるシングルダマシンプロセスでも良い。

【0022】次に図1（b）に示すように、金属配線3が埋め込み形成された第1層目の層間絶縁膜2（下地）上に、スピニング法により、第2層目の層間絶縁膜としてのシロキサン（Si-O）結合を主骨格とする低誘電率絶縁膜4を1.5μmの厚さで形成する。なお、図1（b）以降では簡単のためにシリコン基板1は省略してある。

【0023】ここでは、低誘電率絶縁膜4としてメチルポリシロキサン膜を用いる。その成膜方法は以下の通り

である。すなわち、メチルポリシロキサンの原料ワニスを下地上に滴下後に回転させて均一に塗布し、最終的に420℃にて焼成を行い、低誘電率絶縁膜（メチルポリシロキサン膜）4を形成する。この場合の低誘電率絶縁膜4の比誘電率は2.8であることを確認した。

【0024】次に図1（c）に示すように、低誘電率絶縁膜4中に界面活性剤5を浸透させる。低誘電率絶縁膜4には微細なポアと呼ばれる孔が多数存在しており、その部分に界面活性剤が浸透する。界面活性剤としてはカチオン系のポリオキシエチレンアルキルアミンを用い、これを含む水溶液中にシリコン基板を漬けることにより低誘電率絶縁膜4中への界面活性剤5の浸透を行う。低誘電率絶縁膜4はSiO₂膜よりも多孔質の絶縁膜である。そのため、界面活性剤は低誘電率絶縁膜4中に容易に浸透することができる。

【0025】次に図1（d）に示すように、フォトリソグラフィおよびドライエッチングを用いて、配線溝と、層間の配線を電気的に結び、金属配線3に達するスルーホールとを低誘電率絶縁膜4に形成する。図では、配線溝とスルーホールをまとめて参照符号6で示してある。

【0026】低誘電率絶縁膜4中には界面活性剤5が浸透している。そのため、上記フォトリソグラフィで使用する反射防止膜（不図示）および上記ドライエッチングで使用するフォレジストパターン（不図示）の塗布性は向上する。

【0027】次に図1（e）に示すように、配線溝およびスルーホール5の内部を埋め込むように、Ta膜、Ta₂N膜およびCu膜の積層膜7を周知の方法に従って全面に形成する。Ta膜およびTa₂N膜の積層膜はバリアメタル膜である。Cu膜は金属配線の本体である金属膜であり、例えばメッキ法により形成する。この場合、シード層として薄いCu膜を予め形成しておくこと、良好な形状のCu膜を形成することができる。

【0028】次に図1（f）に示すように、配線溝外部の不要なCu膜およびバリアメタル膜をCMP（Chemical Mechanical Polishing）法により除去する。

【0029】最後に、図1（g）に示すように、低誘電率絶縁膜4中に浸透している界面活性剤5を350℃の熱処理により除去する。

【0030】図2に、従来の多層配線構造の形成方法の工程断面図を示す。なお、図1と対応する部分には図1と同一符号を付してあり、詳細な説明は省略する。

【0031】図2に示すように、従来の方法では、界面活性剤を低誘電率絶縁膜4中に浸透させることなく、厚さ1.5μmの低誘電率絶縁膜4を形成し、その後図2（f）に示すように積層膜7をCMP法により研磨する（CMP工程）。

【0032】このCMP工程のときに、図2（f）に示すように、研磨した積層膜7の屑や研磨材の固まり等によって、機械的強度が弱い低誘電率絶縁膜4にスクラッ

チ 8 と呼ばれる傷が入ってしまう。

【0033】CMP工程では、低誘電率絶縁膜 4 が水に晒されるため、スクラッチ 8 を起因としてクラックと呼ばれる亀裂が進行してしまう。本発明者らは、界面活性剤の浸透がない場合とある場合のそれぞれについて、環

境中の水分量（絶対湿度）と低誘電率絶縁膜（膜厚 1.5 μm ）の傷からクラックが進行していく速度との関係を調べた。表 1 にその結果を示す。

【0034】

【表 1】

絶対湿度	0	20	40	60	80	90
クラック速度($\mu\text{m}/\text{min}$) (界面活性剤の浸透なし)	0	0	1.9	2.2	5.8	7.2
クラック速度($\mu\text{m}/\text{min}$) (界面活性剤の浸透あり)	0	0	0	0	0	0

【0035】表 1 に示すように、界面活性剤の浸透がない場合、すなわち従来の方法では水分量が増加するに従いクラックの進行速度が増大していくことが分かる。これに対して、界面活性剤の浸透がある場合、すなわち本発明ではクラックの伝搬がどのような湿度環境において

20

も抑制されていることが分かる。上記クラックの進行は、水分中においても同様に促進されることが分かっている。これが CMP 工程中においてクラックが進行する原因であると思われる。

【0036】図 3 に、水がクラックの進行を促進するメカニズムを示す。低誘電率絶縁膜には、自分自身を小さくしよう（収縮しよう）とするテンサイルと呼ばれるストレスが作用している。大気中の水分は、低誘電率絶縁膜中の Si-O-Si 結合（シロキサン結合）と加水分解反応を起こす。その結果、Si-OH+Si-OH 結合を形成し、元の Si-O-Si 結合が 2 つに分断される。この分断反応は大気中の水分によって連鎖的に起こる。このような連鎖反応によってクラックの進行が促進する。そして、クラックが進行すると、低誘電率絶縁膜は細かく破壊され、この分断された低誘電率絶縁膜は縮み、自分自身に作用しているストレスを緩和する。

30

【0037】以上述べたように本実施形態によれば、低誘電率絶縁膜 4 中に浸透した界面活性剤 5 により水の吸収を防止できる。界面活性剤 6 にかかるコストは、従来の水分量を低く抑えるための管理にかかるコストよりも十分に安い。したがって、本実施形態によれば、水による低誘電率絶縁膜 4 のクラックの進行を安価に抑制できるようになる。

【0038】（第 2 の実施形態）図 4 は、本発明の第 2 の実施形態に係る多層配線構造の製造方法を示す工程断面図である。なお、図 1 と対応する部分には図 1 と同一符号を付してあり、詳細な説明は省略する。

【0039】本実施形態が第 1 の実施形態と異なる点は、積層膜 6 の CMP 工程中に低誘電率絶縁膜 4 中に界面活性剤 5 を浸透させることにある。すなわち、CMP

に用いるスラリーと呼ばれる研磨用の薬剤中に界面活性剤 5、具体的にはカチオン系のポリオキシエチレンアルキルアミンを混ぜておくことで、図 4（d）に示すように、積層膜 6 の CMP が進行し、低誘電率絶縁膜 4 の一部が露出したときに、すなわち低誘電率絶縁膜 4 の表面が露出したときに、この露出した表面からスラリー中の界面活性剤 5 が低誘電率絶縁膜 4 中に浸透し、低誘電率絶縁膜 4 の吸湿性が低くなり、クラックの進行を抑制することが可能となる。

【0040】本実施形態では、界面活性剤 5 としてはカチオン系のポリオキシエチレンアルキルアミンを用いたが、他の界面活性剤を用いて同様な効果を得ることは可能である。すなわち、スラリーに影響を与えない範囲で種々の界面活性剤を使用可能である。

【0041】以上、本発明の実施形態について説明したが、本発明はこれらの実施形態に限定されるものではない。例えば、上記実施形態では、低誘電率層間膜として塗布法により形成したポリメチルシロキサン膜を用いた場合について説明したが、CVD 法により形成した有機成分を含有した SiO₂ 膜、水素を含有した SiO₂ 膜（例えば、ハイドロジェンシロセスキオキサン膜、メチルハイドロジェンシロキサン膜）などの他の低誘電率絶縁膜を用いた場合にも本発明は有効である。

【0042】さらに、上記実施形態では、本発明を半導体装置の製造工程に適用した場合、具体的には図 1

（c）のパターニング工程、図 1（f）の CMP 工程に適用した場合について説明したが、本発明は半導体装置の上記工程以外の製造工程、製造途中の半導体装置の移送工程および製造途中の半導体装置の保管工程の少なくとも一部において適用可能である。

【0043】具体的には、図 1（f）の CMP 工程後に図 1（g）の熱処理工程を行うために、CMP 装置から加熱装置にシリコン基板を移送する移送工程、図 1

（f）の CMP 工程後、図 1（g）の熱処理工程をすぐに行えない場合に、シリコン基板を一定の期間保存する

40

50

保存工程などがあげられる。

【0044】さらにまた、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題を解決できる場合には、この構成要件が削除された構成が発明として抽出され得る。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0045】

【発明の効果】以上詳説したように本発明によれば、水による低誘電率絶縁膜のクラックの進行を安価に抑制できる半導体装置の製造方法を実現できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る多層配線構造の

製造方法を示す工程断面図

【図2】従来の多層配線構造の製造方法を示す工程断面図

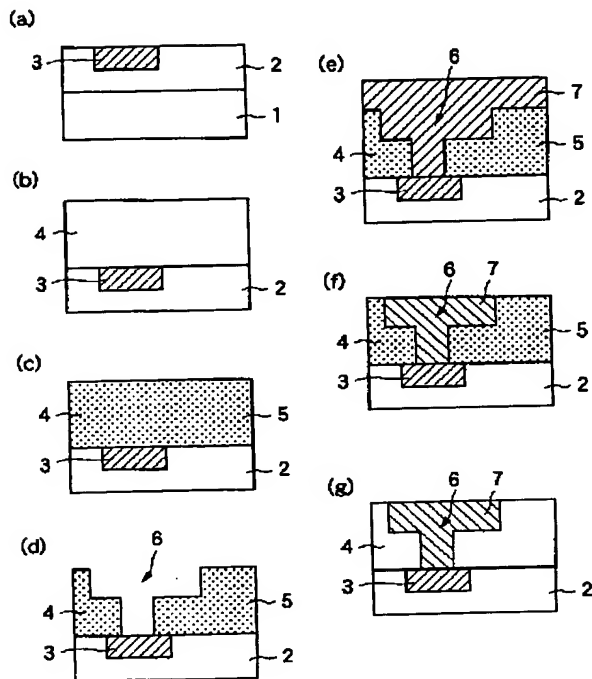
【図3】低誘電率絶縁膜のクラックの進行が水分により促進されるメカニズムを説明するための図

【図4】本発明の第2の実施形態に係る多層配線構造の製造方法を示す工程断面図

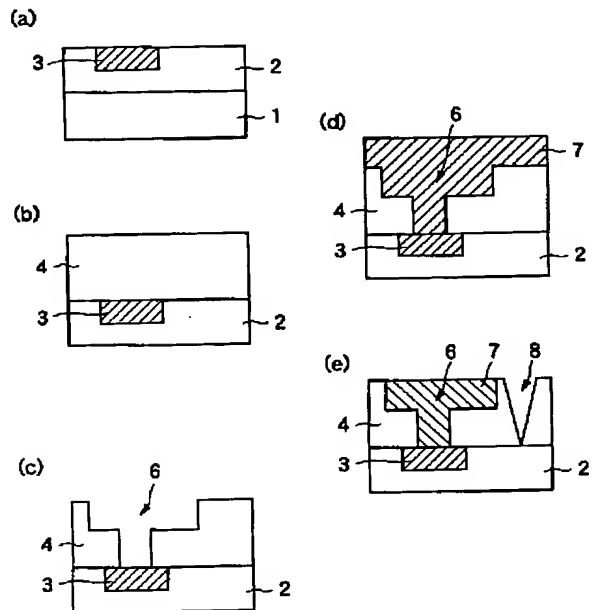
【符号の説明】

- 1…シリコン基板
- 2…層間絶縁膜
- 3…金属配線
- 4…低誘電率絶縁膜
- 5…界面活性剤
- 6…配線溝およびスルーホール
- 7…積層膜（バリアメタル膜／金属膜）
- 8…スクラッチ

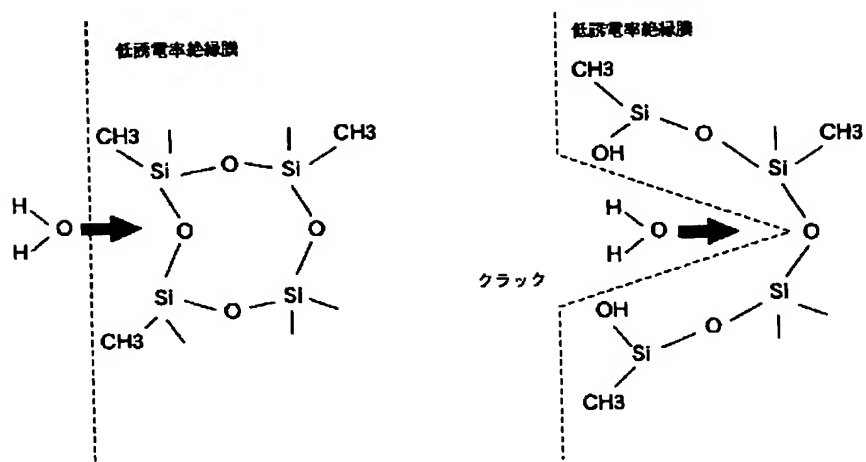
【図1】



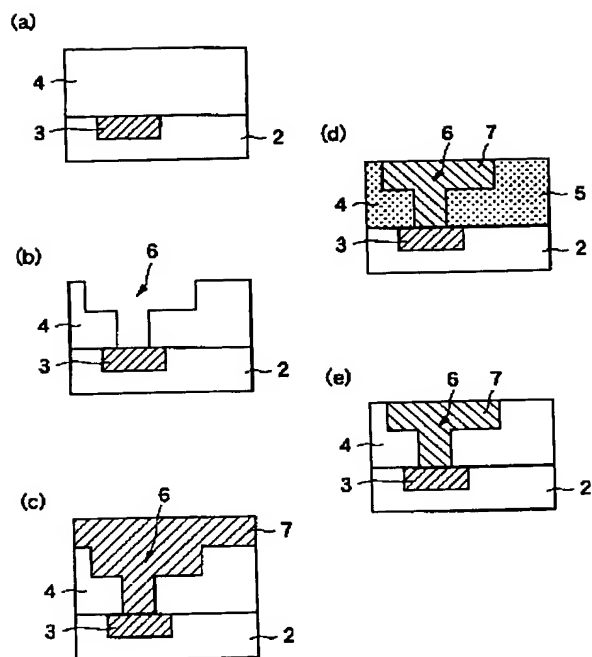
【図2】



【図 3】



【図 4】



フロントページの続き

(72)発明者 早坂 伸夫
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(72)発明者 倉嶋 延行
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

F ターム(参考) 5F033 HH11 HH21 HH32 JJ01 JJ11
JJ21 JJ32 KK08 KK11 MM01
MM02 MM12 MM13 NN06 NN07
PP26 QQ37 QQ48 QQ50 QQ74
RR01 RR04 RR29 SS22 XX01
XX17 XX24
5F058 AD05 AF01 AF04 AG10 BA04
BD04 BF02 BF46 BH20